

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

This Page Blank (uspto)

Stand der Technik

Die Erfindung betrifft ein System zum Test eines in einem Steuergerät eingebauten Rechners mit den Merkmalen des Anspruchs 1.

In Steuergeräten, die sicherheitskritische Funktionen steuern beziehungsweise regeln, müssen Prozessorfehler durch Überwachungen erkannt werden. Solche Steuergeräte mit Sicherheitsaufgaben sind beispielsweise für Antiblockierregelsysteme, für Antriebsschlupfregelsysteme und/oder für Fahrdynamikregelsysteme bekannt. Bei Einrechner-Steuergeräten sind Verfahren mit einem Selbsttest, Plausibilitätsüberwachung und Watch-dog bekannt.

Zur Prüfung von CMOS-Bausteinen (integrierte Schaltkreise IC) beim Hersteller werden Verfahren und Meßgeräte zur Messung des Ruhestromes (IDDQ) eingesetzt. Dies wird beispielsweise beschrieben in dem Artikel "Parallel heißt schnell", Markt & Technik, Wochenzeitung für Elektronik, Nummer 36, vom 01.09.1995, Seite 58. Der Hintergrund des sogenannten Ruhestromtestes besteht darin, daß in einem digitalen CMOS-Baustein in rein statischer Logik fast die gesamte Verlustleistung während der Schaltvorgänge in seinem Inneren entsteht. Im Ruhezustand beschränkt sich der Stromfluß auf winzige Leckströme, sowie Ströme durch Pullup- oder Pulldown-Widerstände an den Eingängen und externe Lasten an den Ausgangs-Treibern. Viele herstellungsbedingte Fehler führen zu einer verstärkten Leitfähigkeit zwischen der positiven und negativen Versorgungsspannung. Werden solche defekten Bereiche (Punktdefekte) der Schaltung aktiviert, führt dies zu einem sprunghaften Anstieg der Stromaufnahme. Durch eine hochgenaue Messung der Stromaufnahme während des Testvorgangs und dem Vergleich mit entsprechenden Sollwerten können solche Fehler festgestellt werden. Wie schon erwähnt, macht man sich eine solche Ruhestrommessung bei der Produktion von CMOS-Bausteinen zunutze, um nach dem Herstellungsprozeß die fehlerhaften Bausteine auszusortieren.

Bei den oben erwähnten Steuergeräten mit Sicherheitsaufgaben ist es üblich, zur Erhöhung der Fehlersicherheit zwei Rechner vorzusehen, die sich durch Parallelrechnung und/oder Plausibilitätsprüfungen gegenseitig überprüfen. Insbesondere Kostenbetrachtungen führen zu der Überlegung, bei solchen Steuergeräten lediglich einen einzigen Rechner zu verwenden.

Die Aufgabe der vorliegenden Erfindung besteht darin, bei einer Steuereinheit mit Sicherheitsaufgaben die Fehlersicherheit im Betrieb zu erhöhen.

Diese Aufgabe wird durch die Merkmale des Anspruchs 1 gelöst.

Vorteile der Erfindung

Wie erwähnt, betrifft die Erfindung ein System zum Test eines in einem Steuergerät eingebauten Rechners. Zur Spannungsversorgung der Steuereinheit und damit auch des Rechners ist eine Spannungsversorgungseinheit vorgesehen. Weiterhin kann das Testergebnis mittels einer Anzeigevorrichtung zur Anzeige gebracht werden und/oder es kann vorgesehen sein, daß eine Abschaltung des durch das Steuergerät geregelten und/oder gesteuerten Systems vorgesehen ist. Der Kern der Erfindung besteht darin, daß die Steuereinheit Mittel

enthält, die den Rechner in bestimmte Betriebszustände überführen können. Weiterhin sind Erfassungsmittel vorhanden, die den Strom oder die Spannung im Spannungsversorgungskreis des Rechners erfassen, woraufhin in Vergleichsmitteln der erfaßte Strom oder die erfaßte Spannung mit wenigstens einem vorgegebenen Schwellwert verglichen wird. Zur Betätigung der Anzeigevorrichtung und/oder des Abschaltens gibt es Betätigungsmittel, die abhängig von dem Vergleichsergebnis gegebenenfalls einen Fehler zur Anzeige bringen oder in Reaktion auf einen solchen Fehler die Abschaltung des gesamten Systems oder Teilbereiche des Systems veranlassen.

Das erfindungsgemäße System hat den Vorteil, daß durch eine einfache Strom- beziehungsweise Spannungsmessung eine Vielzahl von möglichen Fehlern im Rechner erfaßt werden können. Die bei der Produktion von Rechnerbausteinen bekannte Ruhestrommessung wird bei einem in einem Steuergerät eingebauten Rechner während seines Normalbetriebs verwendet. Durch das erfindungsgemäße System kann mit wenigen Testschritten eine hohe Abdeckung der häufigsten Fehler im Rechnerbaustein erreicht werden. Solche Fehler können Haftfehler (Stuck-at), Brückenfehler (Bridging) und/oder Unterbrechungsfehler (Stuck-Open) sein.

Insbesondere die Kombination der erfindungsgemäßen Ruhestrommessung mit einem optimierten Selbsttestprogramm ergibt eine für sicherheitskritische Anwendungen ausreichende Fehlerabdeckung bezüglich der wesentlichen Fehler bei Rechnerbausteinen, insbesondere bei CMOS-Prozessoren. Die oben erwähnte Einsparung des zweiten Prozessors bleibt als wirtschaftlicher Vorteil bei dem erfindungsgemäßen System weitgehend erhalten, da die erfindungsgemäße Ruhestrommessung nur wenig Hardware-Aufwand erfordert.

In einer vorteilhaften Ausgestaltung der Erfindung ist vorgesehen, daß die Mittel zum Überführen des Rechners in bestimmte Betriebszustände derart ausgestaltet sind, daß durch eine spezielle Ansteuerung des Rechners vorgegebene Rechner Teile in einen Zustand geringen Stromes überführt werden. Der Hintergrund dieser Erfindungsvariante besteht darin, daß im Rechner meist Bauteile vorhanden sind, die einen relativ hohen Stromes aufweisen. Da, wie eingangs erwähnt, die Ruhestrommessung im allgemeinen auf Schwankungen des Ruhestroms innerhalb relativ geringer Bandbreiten basiert, stören die Rechner Teile mit hohem Strom den erfindungsgemäßen Test. Insbesondere ist vorgesehen, daß solche Rechner Teile in den Zustand geringen Stromes überführt werden, auf die sich der erfindungsgemäße Test nicht bezieht. Solche Rechner Teile können die Rechnerendstufe und/oder eine Eingangsstufe (beispielsweise Analog/Digital-Wandler) sowie Schaltungen zur internen Taktvervielfachung sein. Im einfachsten Fall werden diese Rechner Teile mit hohem Strom während des Tests abgeschaltet. Es werden also interne Schaltungsteile und -ausgänge, die hohe Ströme führen, abgeschaltet, so daß alle internen Knoten sich in einem definierten Zustand befinden. Danach kann die Messung des Ruhestroms vorgenommen werden.

Über die oben erwähnte Abschaltung der Rechner Teile mit hohem Strom hinaus kann auch vorgesehen sein, daß der Rechnerkern in einen Zustand geringen Stromes zu überführen ist. Bei solchen, speziell für die Ruhestrommessung ausgelegten Rechnerbausteine ist ein spezieller sogenannter IDDQ-Testmode vorgesehen. In diesem Betriebszustand werden alle rechnerinternen Ströme ausgeschaltet, das heißt, daß der Strom im Rech-

nerkern minimiert wird. Dazu ist der Rechnerkern so ausgelegt, daß bei korrekter Arbeitsweise des Rechnerkerns keine oder nur geringe statischen Ströme zwischen Versorgungsspannung und Masse fließen können. Das IDDQ-Design ist derart, daß sich Standardfehler im Rechnerkern in eine Erhöhung des Ruhestroms bemerkbar machen. So äußern sich beispielsweise Kurzschluß- bzw. Haftfehler (Kurzschluß nach Masse oder Versorgungsspannung) sofort in einer Erhöhung des Ruhestromes. Es ist hierbei nicht notwendig, die Auswirkung eines solchen Fehlers bis auf die Ausgänge des Rechners weiterzuleiten (zu propagieren). Die erhöhte Stromaufnahme ist der sofortige Fehlerindikator.

Neben dem obenbeschriebenen IDDQ-Testmode kann vorgesehen sein, daß nur die Rechner Teile mit hohem Strom abgeschaltet werden und der Rechner auf einen Befehl hin in einen definierten Zustand mit niedrigem Strom übergeht. Dabei braucht der Rechnerkern nicht speziell für den IDDQ-Testmode ausgelegt zu sein. Dies wird als Power-Down-Mode bezeichnet.

Eine weitere vorteilhafte Ausgestaltung der Erfindung geht davon aus, daß in bekannter Weise ein Zeittaktgeber (Clock) in der Steuereinheit vorgesehen ist. Abhängig von den Ausgangssignalen dieses Zeittaktgebers werden insbesondere die rechnerinternen Vorgänge gesteuert. Bei dem beschriebenen IDDQ-Testmode ist vorgesehen, daß dieser Zeittaktgeber aus- oder abgeschaltet beziehungsweise von dem Rechner abgetrennt wird. Dies kann auch beim Power-Down-Mode realisiert sein, wenn ein besonders niedriger Ruhestrom erzielt werden soll. Diese Aus- oder Abschaltung beziehungsweise Abtrennen des Zeittaktgebers geschieht insbesondere zu Beginn einer jeden Ruhestrommessung.

Der Power-Down-Mode wird eingeleitet, indem rechnerinterne Teile wie Register und Speicher mit bestimmten Mustern geladen werden und die oben erwähnten Rechner Teile in den Zustand geringen Stroms überführt werden, beispielsweise durch Ausführung eines bestimmten Rechnerbefehls. Ist dieser Zustand erreicht, so kann der Zeittaktgeber ausgeschaltet beziehungsweise abgetrennt werden. Anschließend wird der Ruhestrom oder ein entsprechender Spannungswert gemessen und mit einem Schwellwert verglichen, der dem oben eingestellten Betriebszustand (Power-Down-Zustand) des Rechnerkerns entspricht. Sind im Rechner bestimmte Fehler vorhanden (Haftfehler, Brückenfehler, Unterbrechungen), so führt dies meist zu einer Erhöhung des Ruhestroms beziehungsweise des durch den Ruhestrom verursachten Spannungsabfalls.

Nach einem solchen Testschritt können weitere Testschritte folgen, indem zunächst der Power-Down-Mode durch Anlegen von bestimmten Signalpegeln an bestimmte Rechneranschlüsse verlassen wird. Durch ein erneutes Starten beziehungsweise Zuschalten des Zeittaktgebers werden die rechnerinternen Teile wie Register und Speicher mit weiteren Mustern geladen und es werden wiederum die oben erwähnten Rechner Teile in den Zustand geringen Stroms überführt, beispielsweise durch Ausführung eines bestimmten Rechnerbefehls (Power-Down-Befehl). Daran schließt sich wiederum die oben beschriebene Messung des Ruhestromes an.

Durch mehrere solche hintereinander ausgeführten Messungen des Power-Down-Stroms gelangt man zu einer immer vollständigeren Fehlererfassung von Registern, Speichern und Teilen des Rechnerkerns.

Die einzelnen Testschritte werden je nach Rechner- typ und Ausführung der Schaltung durch eine Wieder-

freigabe des Zeittaktgebers, einer Reset-Auslösung oder einer Auslösung eines externen Interrupts beendet. Nach dem letzten Testschritt wird der Rechner wieder in seinen normalen Betriebsmodus betrieben (Normalbetrieb).

Neben der obenbeschriebenen Ruhestrommessung im Power-Down-Mode ist auch erfindungsgemäß eine Messung des Ruhestroms in dem erwähnten IDDQ-Testmode vorgesehen, sofern der zu testende Rechner dafür ausgelegt ist. Der Eintritt des IDDQ-Testmode wird beispielsweise durch Verändern des Signalpegels an einem Rechneranschluß eingeleitet. Auch hierbei werden vor Eintritt in den IDDQ-Testmode Register und Speicher mit bestimmten Mustern geladen. Mit Eintritt des IDDQ-Testmodes werden die Rechner Teile mit hohem Strom abgeschaltet. Darüber hinaus kann der Rechnerkern durch Anhalten beziehungsweise Abkoppeln des Zeittaktes während der Ausführung eines Befehls in einem für diesen Befehl typischen Zustand gehalten werden. Diese Befehle sind derart ausgewählt, daß sie die Zustände der internen Schaltungsknoten des Rechnerkerns so einstellen, daß möglichst viele Fehler über die Ruhestrommessung detektiert werden können.

Durch mehrere solche hintereinander ausgeführten Messungen des Ruhestroms gelangt man zu einer immer vollständigeren Fehlererfassung von Registern, Speichern und des gesamten Rechnerkerns, das heißt, zu einer Fehlerbetrachtung bei den unterschiedlichsten Betriebszuständen des Rechnerkerns. Dadurch ist es nicht erforderlich, daß die Ruhestrommessungen in der Steuereinheit in Echtzeit, also bei laufendem Zeittaktgeber, vorgenommen werden müssen, sondern immer in den Pausen, in denen der Taktgeber angehalten wird. Durch diese Erfindungsvariante läßt sich der Aufwand bezüglich der Schnelligkeit der Auswertung des Ruhestroms minimieren. Daneben kann selbstverständlich erfindungsgemäß auch eine Ruhestrommessung bei laufendem Zeittaktgeber ausgeführt werden, sofern die Meßeinrichtung hinreichend schnell arbeitet und der Rechner für einen solchen schnellen Wechsel zwischen IDDQ-Testmode und Normalbetrieb ausgelegt ist. beziehungsweise keine Schaltungsteile im Rechner abgeschaltet werden müssen.

Die erfindungsgemäße Ruhestrommessung kann entweder direkt durch eine an sich bekannte Messung des Stroms durch den Rechner gemessen werden oder es kann der Spannungsabfall an einem Meßwiderstand ebenfalls in bekannter Weise erfaßt werden. Weiterhin kann die Ruhestrommessung in dem Versorgungspfad, also in der Spannungszuleitung des Rechners, im Massepfad des Rechners und/oder im Spannungsregler stattfinden.

Insbesondere betrifft das erfindungsgemäße System den Test von Prozessoren, die in an sich bekannter Weise in CMOS-Technologie realisiert sind.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind den Unteransprüchen zu entnehmen.

Zeichnung

Die Fig. 1 zeigt ein Übersichtsblockschaltbild der Erfindung, während die Fig. 2 und 3 detailliertere Ausführungsformen darstellen. Dies Fig. 4 zeigt die zeitliche Beziehung verschiedener Ein- und Ausgangssignale von erfindungswesentlichen Teilen. Die Fig. 5a, 5b und 5c zeigen verschiedene Varianten der Ruhestromerfassung.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen dargestellt.

In dem in der Fig. 1 dargestellten Übersichtsschaltbild ist mit dem Bezugszeichen 1 eine Steuereinheit dargestellt. Diese Steuereinheit erhält über die Datenleitung D1 Eingangsdaten, wie beispielsweise Sensorausgangssignale, um abhängig von diesen Eingangssignalen über den Ausgang D2 Ausgangssignale zu bilden, die beispielsweise an entsprechende Aktuatoren weitergeleitet werden. Beispielshaft für den Fall, daß es sich bei der Steuereinheit 1 um ein Steuergerät für ein Antiblockiersystem handelt, werden als Eingangssignale auf den Eingang D1 die Drehzahlen der Fahrzeugräder gegeben. Abhängig von diesen Eingangssignalen stehen ausgangsseitig des Steuergerätes 1 (Ausgang D2) Ansteuersignale zur Bremsdruckabsenkung, zum Bremsdruckaufbau oder zur Konstanzhaltung des Bremsdrucks an. Hierzu werden als Aktuatoren Magnetventile angesteuert. Über den Spannungsregler 2 wird die Versorgungsspannung VDD dem Steuergerät 1 zugeführt. Eingangsseitig liegt der Spannungsregler 2 auf dem Batteriespannungspotential U_{Bat} . In diesem Ausführungsbeispiel wird der Strom in dem Versorgungsspannungspfad durch das Strommeßgerät 14 gemessen und der Vergleichseinheit 11 zugeführt. In der Vergleichseinheit 11 wird der erfaßte Stromwert mit einem Sollwert I_{Soll} verglichen, woraufhin abhängig von dem Vergleichsergebnis eine Signallampe 4 angesteuert wird. Gleichzeitig oder alternativ kann das von dem Steuergerät 1 gesteuerte beziehungsweise geregelte System durch die Abschaltvorrichtung 3 abgeschaltet werden.

Die steuergeräteinternen Vorgänge werden durch den Taktgeber 13 gesteuert (Clock-Signal C). Mit dem Bezugszeichen 10 ist der in der Steuereinheit befindliche Rechner dargestellt, der über eine Eingangsstufe 101, im allgemeinen ein Analog/Digital-Wandler, einen Rechnerkern 102 und eine Ausgangsstufe beziehungsweise Endstufe 103, verfügt. Zur Ermittlung der Ausgangssignale (Ausgang D2), abhängig von den Eingangssignalen (Eingang D1) werden die Eingangssignale, die als Analogsignale oder Rechtecksignale vorliegen, durch die Eingangsschaltung 101 in digitale Werte überführt. Die Eingangsschaltung 101 kann neben Eingangsverstärkern eine Analog/Digital-Wandlereinheit und Zähler- und Zeitmess-Schaltungen enthalten. Im Rechnerkern 102 werden diese digitalen Zahlenwerte miteinander verknüpft, um sie auf den Ausgang D2, verstärkt durch die Endstufe 103, zu geben.

Die rechnerinternen Vorgänge können durch die Meßablaufsteuerung MAS 12 durch die Ansteuersignale T_i beeinflusst werden. Eine Rückmeldung T_1 erhält die Meßablaufsteuerung 12 insbesondere vom Rechnerkern 102 durch das Signal T_o . Darüber hinaus kann von der Meßablaufsteuerung 12 der Zeittaktgeber 13 gestartet beziehungsweise gestoppt werden.

Der Normalbetrieb außerhalb des erfindungsgemäßen Tests soll in diesem Ausführungsbeispiel nicht näher dargestellt werden, da dieser Normalbetrieb in unterschiedlichster Weise aus dem Stand der Technik bekannt ist. So soll auch an dieser Stelle nochmals darauf hingewiesen werden, daß das erfindungsgemäße System sich nicht auf die Verwendung bei einem Antiblockiersystem, einem Antriebsschlupfregelsystem oder einem Fahrdynamikregelsystem beschränkt. Ebenso wenig liegt der Kern in der Bestimmung, wann das erfindungs-

gemäße Testsystem mit dem erfindungsgemäßen Test beginnt. Auch zu diesem Punkt gibt es im Stand der Technik die unterschiedlichsten Vorgehensweisen. Im allgemeinen wird bei den obengenannten Kraftfahrzeugregelsystemen ein Test bei einem Neustart bei geringen Fahrzeuglängsgeschwindigkeiten durchgeführt. Darüber hinaus können solche Tests auch bei bestimmten, geringen Fahrzeuggeschwindigkeiten und in bestimmten Zeitabständen während des Normalbetriebs initialisiert werden.

Power-Down-Mode

Der Power-Down-Mode beginnt damit, daß der Rechner sich für den ersten Testschritt bestimmten Muster in seine Register und Schreib-/Lese-Speicher schreibt und danach der Meßablaufsteuerung MAS 12 durch das Ansteuersignal T_o mitteilt, daß eine Power-Down-Messung durchgeführt werden soll. Daraufhin bestätigt die MAS 12 diese Anforderung über das Signal T_i , worauf der Rechner 102 durch die Ausführung des Power-Down-Befehls die Eingangsschaltung 101 und die Endstufe 103 durch Öffnen der Schalter S1 und S2 von der Spannungsversorgung abklemmt. Wie schon eingangs erwähnt, hat dies den Hintergrund, daß Eingangsschaltung 101 sowie die Endstufe 103 Bauelemente des Rechners 10 sind, die einen relativ hohen Strom haben. Ein Abschalten dieser Rechner Teile senkt im allgemeinen den durch den Rechner 10 fließenden Strom drastisch. Nach dem Abschalten der Eingangs- und Endstufen kann mittels des Strommeßwertgebers 14 der sogenannte Ruhestrom im Power-Down-Mode gemessen werden. In der Vergleichseinheit 11 wird dieser aktuell gemessene Ruhestrom mit einem entsprechenden Sollwert I_{Soll} , der als Spannungswert beispielsweise im Speicher 15 abgelegt sein kann, verglichen. Überschreitet der Ruhestrom beziehungsweise die entsprechende Spannung den Vergleichswert I_{Soll} , so läßt dies auf einen Fehler im Rechnerkern 102 schließen, woraufhin die Warnlampe 4 eingeschaltet wird und/oder das gesamte System oder Teilsysteme durch die Abschaltvorrichtung 3 abgeschaltet werden.

Vor der Ruhestrommessung kann wahlweise der Zeittaktgeber 13 angehalten werden.

IDDQ-Testmode

Der IDDQ-Testmode beginnt damit, daß der Rechner sich für den ersten Testschritt bestimmte Muster in seine Register und Schreib-/Lese-Speicher schreibt und danach der Meßablaufsteuerung MAS 12 durch das Ansteuersignal T_o mitteilt, daß eine IDDQ-Messung durchgeführt werden soll. Daraufhin bestätigt die MAS 12 diese Anforderung über das Signal T_i , worauf der Rechner 102 einen ausgewählten Befehl ausführt, der die Zustände der internen Schaltungsknoten des Rechnerkerns so einstellt, daß möglichst viele Fehler über die Ruhestrommessung detektiert werden können. Während der Ausführung dieses Befehls überführt die MAS 12 den Rechner durch Verändern des Signals T_Q in den IDDQ-Testmode und hält über das Signal clock stop den Zeittaktgeber 13 an. Durch die Einstellung des IDDQ-Testmodes werden im Rechner die Eingangsschaltung 101 und die Endstufe 103 durch Öffnen der Schalter S1 und S2 von der Spannungsversorgung abgeklemmt.

Danach wird mittels des Strommeßwertgebers 14 der sogenannte Ruhestrom im IDDQ-Testmode gemessen.

In der Vergleichseinheit 11 wird dieser aktuell gemessene Ruhestrom mit einem entsprechenden Sollwert I_{Soll} , der als Spannungswert beispielsweise im Speicher 15 abgelegt sein kann, verglichen. Überschreitet der Ruhestrom beziehungsweise die entsprechende Spannung den Vergleichswert I_{Soll} , so läßt dies auf einen Fehler im Rechnerkern 102 schließen, woraufhin die Warnlampe 4 eingeschaltet wird und/oder das gesamte System oder Teilsysteme durch die Abschaltvorrichtung 3 abgeschaltet werden.

Durch Rücknahme des Signals TQ und Wiederfreigabe des Zeittaktgebers 13 wird der Rechner wieder in den Normalmode überführt und kann sich für den nächsten Testschritt durch Laden der nächsten Testmuster in Register und Speicher vorbereiten. Danach folgt wiederum der Übergang in den IDDQ-Testmode, während der Rechner einen anderen ausgewählten Befehl ausführt.

Bei dem IDDQ-Testmode kann auch vorgesehen sein, daß für verschiedene Testschritte unterschiedliche Vergleichswerte für den Ruhestrom beziehungsweise für den entsprechenden Spannungsabfall vorgesehen sind, die durch die Meßablaufsteuerung 12 mittels des Ansteuersignals Ts ausgewählt werden.

Ruhestrommessung im Massepfad

In der Fig. 2 wird eine Erfindungsvariante vorgestellt, bei der die Ruhestrommessung im Massepfad getätigt wird. Auch hier wird der erfindungsgemäße Test durch eine Meßablaufsteuerung MAS 12' gesteuert, wobei diese Meßablaufsteuerung wahlweise mit einer an sich bekannten sogenannten Watchdog-Schaltung in einem integrierten Schaltkreis IC integriert sein kann. Nach dem Einschalten der Versorgungsspannung VDD (Ausgangssignal des Spannungsreglers 2) wird der Prozessor beziehungsweise Rechner 10 für die erste Ruhestrommessung initialisiert (beispielsweise RAM- und Registerinhalt = 00H). Über eine serielle Schnittstelle sendet der Prozessor 10 der Meßablaufsteuerung 12' eine Testnummer (Signal T0), aus der erkennbar ist, daß eine Ruhestrommessung erfolgen soll. Optional kann bei dem in der Fig. 2 zu sehenden Ausführungsbeispiel vorgesehen sein, daß mittels des Signals T0 auch die erwartete Größe des Ruhestroms in diesem Test der Meßablaufsteuerung übermittelt wird.

Diese Daten werden in das Schieberegister SR übertragen und von dort in die Empfangsregister ME der Meßablaufsteuerung beziehungsweise des Watchdogs WE übernommen. Hierzu dienen die Leitungen Daten-Clock und CS vom Prozessor zur Meßablaufsteuerung (in Fig. 2 nicht eingezeichnet).

Wie schon erwähnt, nimmt der Prozessor in dem IDDQ-Testmode einen bestimmten Betriebszustand geringen Stromes an. Bei Prozessoren, die nicht speziell für Ruhestrommessungen ausgelegt sind, wird im allgemeinen lediglich die End- und Ausgangsstufe abgeschaltet (Power-Down-Mode). Nachdem der Prozessor diesen sogenannten Power-down-Modus eingenommen hat, öffnet die Meßablaufsteuerung 12' über das Signal "Messung aktiv" M_{akt} dem Schalter S (Halbleiterschalter) und leitet den Meßbetrieb ein.

Im Meßbetrieb wird die über den Widerstand R abfallende und den Ruhestrom repräsentierende Spannung U_M gemessen und mit einer Vergleichsspannung U_{sw} verglichen. Wenn der so gemessene Ruhestrom die festgesetzte Schwelle übersteigt, wird der Ausgang KA des Komparators 11 von einem Low- in einen High-Zustand

versetzt, woraufhin die Meßablaufsteuerung einen Fehler feststellt und über das Signal IF, das bei diesem Ausführungsbeispiel zum Watchdog geht, das System ab (Abschaltvorrichtung 3) und die Warnlampe 4 anschaltet.

Wenn der gemessene Ruhestrom (bzw. die zugehörige Spannung U_M) unter der Schwelle U_{sw} liegt, wird der Schalter S wieder geschlossen und der Prozessor über die Signale Reset oder Extint aus dem sogenannten Power-down-Modus herausgeholt, was bedeutet, daß in diesem Ausführungsbeispiel die Eingangs- und Ausgangsstufe wieder eingeschaltet wird.

Sind, wie in diesem Ausführungsbeispiel, im Power-Down-Mode mehrere erfindungsgemäße Testschritte vorgesehen, so initialisiert sich der Prozessor 10 für den nächsten Ruhestromtest und übergibt die nächste Testnummer an die Meßablaufsteuerung. Dies geschieht wie oben beschrieben. Anhand der über die Verbindung "Rückmeldung" T1 zurückgelesenen Testnummer kann der Prozessor sich über den Stand der Testnummer informieren. Nach einer festgelegten Anzahl von Tests geht der Prozessor in den Normalbetrieb über und überträgt anstelle der Signale T0 ein Zyklussignal, das von der bekannten Watchdog-Schaltung in bekannter Weise überwacht wird. Die Anzahl der Tests ist entweder in der Hardware der Meßablaufsteuerung 12' festgelegt oder wird nach dem Einschalten vom Prozessor zur Meßablaufsteuerung übertragen.

In dem oben beschriebenen Power-down-Modus können nur Register- und Speicherinhalte mit Mustern initialisiert werden, nicht aber unterschiedliche Knoten der internen Schaltung.

Eine Ausweitung auf den IDDQ-Testmode kann aber in obenbeschriebener Weise erreicht werden. Hierzu wird der Rechnerkern durch die erwähnte Ausführung ausgewählter Befehle in bestimmte Betriebszustände überführt und für diese Betriebszustände der Ruhestrom gemessen. Weiterhin muß im IDDQ-Mode, wie oben beschrieben, der Zeittakt angehalten werden.

Wie schon erwähnt, kann die Vergleichsspannung U_{sw} über das Signal Ts unterschiedlich eingestellt werden, falls unterschiedliche Ruhestrome in den Tests zu erwarten sind. Über die Vergleichsspannungseinstellung kann bei Bedarf auch eine Temperaturkompensation vorgenommen werden, da der Ruhestrom mit der Temperatur ansteigt.

Ruhestrommessung im Versorgungspfad

In der Fig. 3 ist eine weitere Variante der Erfindung dargestellt, bei der die Ruhestrommessung im Versorgungspfad stattfindet. Gleichzeitig soll anhand dieses Ausführungsbeispiels das Anhalten des Taktgebers gezeigt werden. Hierbei sind die Blöcke gleicher Funktion mit den Bezugszeichen aus der Fig. 2 bezeichnet und sollen nicht nochmals beschrieben werden.

Zuerst wird der Prozessor initialisiert. Diese Initialisierung beinhaltet eine Resetphase und einen definierten Ablauf von ausgewählten Funktionen (Befehle), die beispielsweise mit Hilfe der Fehlersimulation ausgetestet wurden. Sobald das erste Testmuster erreicht ist, signalisiert dies der Prozessor über das Signal To der MAS. Daraufhin schaltet die MAS den Prozessor über das Signal TQ in den IDDQ-Testmodus um und unterbricht über das Signal clock stop zu einem definierten Zeitpunkt den Zeittakt am Prozessor. Das definierte Anhalten des Prozessortaktes erfolgt über eine Verknüpfung des clock stop-Signals mit den Signalen CS

und clock out des Rechners.

Durch eine zusätzliche Zählerschaltung kann der exakte Zeitpunkt für das Anhalten des Prozessortaktes eingestellt werden. Dies ist besonders leicht zu realisieren bei einer Integration eines Quarz-Oszillators in die Meßablaufsteuerung.

Durch den IDDQ-Testmodus wird sichergestellt, daß keine interne Knoten des Prozessors auf undefinierten Potential liegen ("floaten") und daß alle internen stromführenden Pfade ausgeschaltet sind. Alle internen Busse befinden sich in einem definierten Zustand, alle Pull-up- und Pull-down-Widerstände sind ausgeschaltet. Alle notwendigen Maßnahmen für die Ruhestrommessung müssen bereits durch die Einstellung des IDDQ-Testmodus des nach den IDDQ-Design-Regeln entwickelten Rechners getroffen werden.

Wenn der Taktgeber des Prozessors angehalten wird, ist es vorteilhaft, daß neben den Register- und Speicherinhalten auch andere Schaltungsknoten im Prozessor durch Ausführung bestimmter Befehle auf spezielle Muster eingestellt werden können.

Zeitlicher Signalablauf

Die Fig. 4 zeigt schematisch den zeitlichen Verlauf einiger Signale. Im oberen Signalzug ist das Taktsignal C des Taktgebers 13 (Fig. 1) dargestellt. Darunter sind die Signale Adressen, Daten-/Lesesignale (Read) und das Signal TQ zur Aktivierung des IDDQ-Testmodus dargestellt. In dem ersten Verlauf des Ruhestroms IDDQ ist der normale Verlauf des Ruhestroms in einem fehlerfrei arbeitenden Prozessor dargestellt. Man erkennt, daß sich der Ruhestrom bei Ausführung der Befehle 1 und 2 die Schwelle 1 nicht überschreitet. Im darunterliegenden Verlauf ist zu erkennen, daß bei Vorliegen eines bestimmten Fehlers während der Ausführung des Befehls 1 der Ruhestrom über die Schwelle ansteigt. Dieser Prozessorfehler kann gerade durch den Befehl 1 entdeckt werden, macht sich aber durch den Befehl 2, wie in der Fig. 4 zu sehen ist, nicht bemerkbar. Durch eine geschickte Auswahl der Befehle (Änderung der Zustände der rechnerinternen Speicher, Register beziehungsweise Schaltungsknoten) kann also ein komplexes Fehlerspektrum erfaßt werden.

Alternative Ruhestromüberwachung

Die in der Fig. 2 und 3 dargestellten Schaltungsanordnungen haben den Nachteil, daß ein Meßwiderstand R und ein Schalter S im Stromkreis des Prozessors liegen, was bei manchen Anwendungen störend sein kann, weil hierdurch unter Umständen ein Spannungsabfall im Normalbetrieb des Prozessors bei hohen Versorgungsströmen auftreten kann.

In der Fig. 5 werden deshalb Lösungen vorgeschlagen, bei denen die erfindungsgemäße Ruhestromüberwachung im Spannungsregler für den Prozessor vorgenommen wird. Das Prinzip der Schaltungsanordnungen gemäß der Fig. 5a, 5b und 5c beruht darauf, daß der interne Regelstrom proportional zum Verbraucherstrom ist, der im Meßbetrieb dem Ruhestrom des Prozessors entspricht. Allerdings ist dabei für den Prozessor eine separate Spannungsversorgung erforderlich. Die Ablaufsteuerung ist gleich der anhand der Fig. 2 und 3 geschilderten, es kann aber bei den in der Fig. 5 gezeigten Ausführungsform teilweise auf eine Umschaltung zwischen Normal- und Meßbetrieb verzichtet werden. Die Auswahl der Meßschaltungen ist abhängig vom

Anwendungsfall und der Möglichkeit für eine Integration.

Die Fig. 5a und 5b zeigen Beispiele für eine Ruhestrommessung im Spannungsregler mit einer Vorgabe der Spannung und einer Messung des Stroms. Bei den in den Fig. 5a und 5b gezeigten Schaltungsanordnungen wird die Spannung fest auf einen bestimmten Wert (beispielsweise 5 Volt) geregelt und der interne Regelstrom gemessen. Dabei sind verschiedene Verfahren einsetzbar. Die Fig. 5a zeigt eine Strom-Spannungsumsetzung, während bei der Fig. 5b mit einem Differenzverstärker der Regelstrom in eine Meßspannung umgesetzt wird. Alternativ kann auch eine Stromspiegelschaltung (nicht eingezeichnet) zur Umsetzung verwendet werden.

In der Fig. 5c wird im Meßbetrieb der Regelstrom des Spannungsreglers auf eine Stromquelle SQ umgeschaltet. Dies findet durch eine Umschaltung des Schalters S von der Stellung N auf die Stellung M statt. Wenn der Ruhestrom des Prozessors größer ist als der durch SQ vorgegebene Verbraucherstrom, sinkt die Spannung am Prozessor ab und dies wird über den Komparatorausgang KA = high gemeldet, falls die Vergleichsspannung U_{vergl} unterschritten wird.

Die oben beschriebenen Vorgehensweisen können prinzipiell bei jedem Rechner in der bekannten CMOS-Bauweise angewendet werden.

Patentansprüche

1. System zum Test eines in einem Steuereinheit (1) eingebauten Rechners (10) mit einer Spannungsversorgung (2), wobei eine Anzeigevorrichtung (4) und/oder eine Abschaltung (3) des mittels der Steuereinheit (1) gesteuerten und/oder geregelten Systems vorgesehen ist, die abhängig von dem Testergebnis angesteuert wird, und
 - in der Steuereinheit Mittel (MAS) zum Überführen des Rechners (10) in bestimmte Betriebszustände (IDDQ-Power-Down-Mode),
 - Erfassungsmittel (14) zur Erfassung des Stromes (IDDQ) oder der Spannung im Spannungsversorgungskreis des Rechners (10),
 - Vergleichsmittel (11) zum Vergleich des erfaßten Stromes (IDDQ) oder der erfaßten Spannung mit wenigstens einem vorgegebenen Schwellwert und
 - Betätigungsmittel zur Betätigung der Anzeigevorrichtung (4) und/oder der Abschaltung (3) abhängig von dem Vergleichsergebnis vorgesehen sind.
2. System nach Anspruch 1 dadurch gekennzeichnet, daß die Mittel (MAS) zum Überführen des Rechners (10) in bestimmte Betriebszustände (IDDQ-Power-Down-Mode) derart ausgestaltet sind, daß durch eine spezielle Ansteuerung (Ti) des Rechners (10) vorgegebene Rechner Teile (101, 103) in einen Zustand geringen Stromes überführt werden.
3. System nach Anspruch 2, dadurch gekennzeichnet, daß die Rechner Teile (101, 103) in den Zustand (IDDQ-, Power-Down-Mode) geringen Stromes überführt werden, auf die sich der Test nicht bezieht.
4. System nach Anspruch 2, dadurch gekennzeichnet, daß der Rechner (10) als Rechner Teile wenigstens eine Endstufe (103) und/oder einen Analog-Digital-Wandler (101) und/oder Schaltungen zur

11 internen Taktvervielfachung aufweist und diese Rechner-
teile zur Überführung in den Zustand (IDDQ-, Power-Down-Mode) geringen Stromes abgeschaltet werden.

5 5. System nach Anspruch 2, dadurch gekennzeichnet, daß als Rechner-
teil, der in den Zustand geringen Stromes überführt wird, der Rechnerkern (102)
derart ausgestaltet ist, daß er einen Zustand (IDDQ-Testmode) mit geringem Strom annehmen
kann. 10

6. System nach Anspruch 1, dadurch gekennzeichnet, daß ein Zeittaktgeber (clock 13) in der Steuer-
einheit vorgesehen ist und die Mittel (MAS) zum Überführen des Rechners (10) in einen bestimmten
Betriebszustand (IDDQ-, Power-Down-Mode) der-
art ausgestaltet sind, daß durch eine spezielle An- 15
steuerung (Ti) des Zeittaktgebers (13) der Zeittakt-
geber aus- oder abgeschaltet beziehungsweise von
dem Rechner (10) abgetrennt wird (statische Ruhe-
strommessung). 20

7. System nach Anspruch 1, dadurch gekennzeichnet, daß ein Zeittaktgeber (clock 13) in der Steuer-
einheit vorgesehen ist und der Zeittaktgeber (13)
während der Erfassung des Stromes (IDDQ) oder
der Spannung des Rechners (10) wenigstens zeit- 25
weise aus- oder abgeschaltet wird.

8. System nach Anspruch 1, dadurch gekennzeichnet, daß die Mittel (MAS) zum Überführen des
Rechners (10) in bestimmte Betriebszustände
(IDDQ-, Power-Down-Mode) derart ausgestaltet 30
sind, daß durch eine spezielle Ansteuerung (Ti) des
Rechnerkern (102) vorgegebene Rechnerbetriebs-
zustände, insbesondere der Speicher und/oder Re-
gister des Rechners, eingestellt werden und mittels
der Vergleichsmittel (11) die dadurch bedingten 35
Änderung des erfaßten Stromes (IDDQ) oder der
Spannung im Spannungsversorgungskreis des
Rechners (10) durch Vergleiche mit unterschiedlichen
Schwellwerten (USW) ausgewertet werden.

9. System nach Anspruch 1, dadurch gekennzeichnet, daß die Erfassungsmittel (14) zur Erfassung des
Stromes (IDDQ) oder der Spannung im Span-
nungsversorgungskreis des Rechners (10) derart
ausgestaltet sind, daß der durch den Rechnerkern
(102) fließende Strom (IDDQ) direkt oder mittels 45
eines Spannungsabfalls erfaßt wird und die Erfas-
sung in der Spannungszuleitung, im Massepfad
und/oder im Spannungsregler stattfindet.

10. System nach Anspruch 7, dadurch gekennzeichnet, daß die Aus- oder Abschaltung des Zeittaktge-
ber (clock 13) definiert zu einem bestimmten Zeit-
punkt geschieht, wobei die Bestimmung dieses
Zeitpunktes durch eine Verknüpfung eines Syn-
chronisierungssignals (CS) des Rechners mit dem
Zeittaktsignal (clock out) des Rechners geschieht, 55
wobei der genaue Zeitpunkt vorzugsweise durch
Aus zählen des Zeittaktsignals (clock out) des Rech-
ners ermittelt wird.

Hierzu 6 Seite(n) Zeichnungen

60

65

- Leerseit -

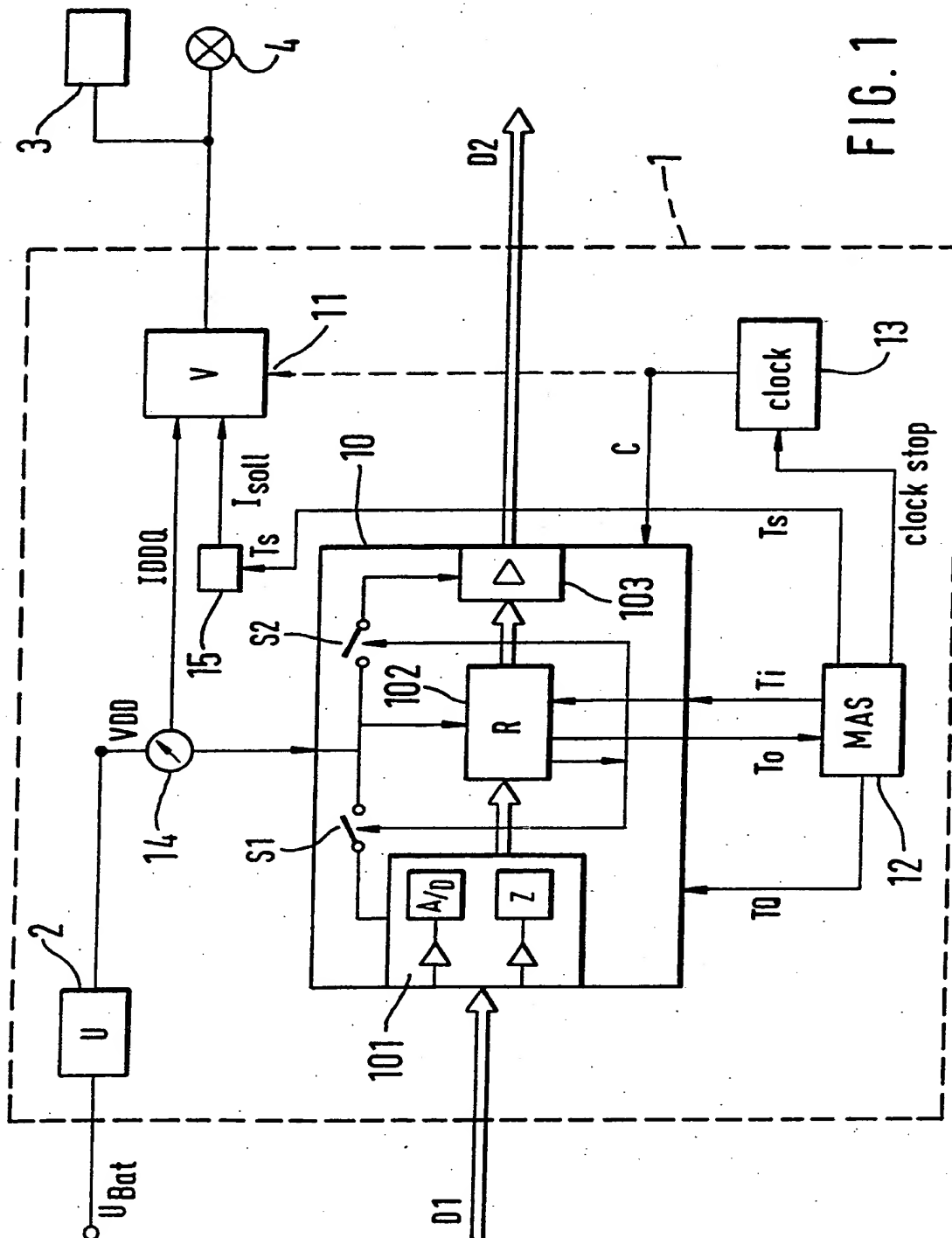


FIG. 1

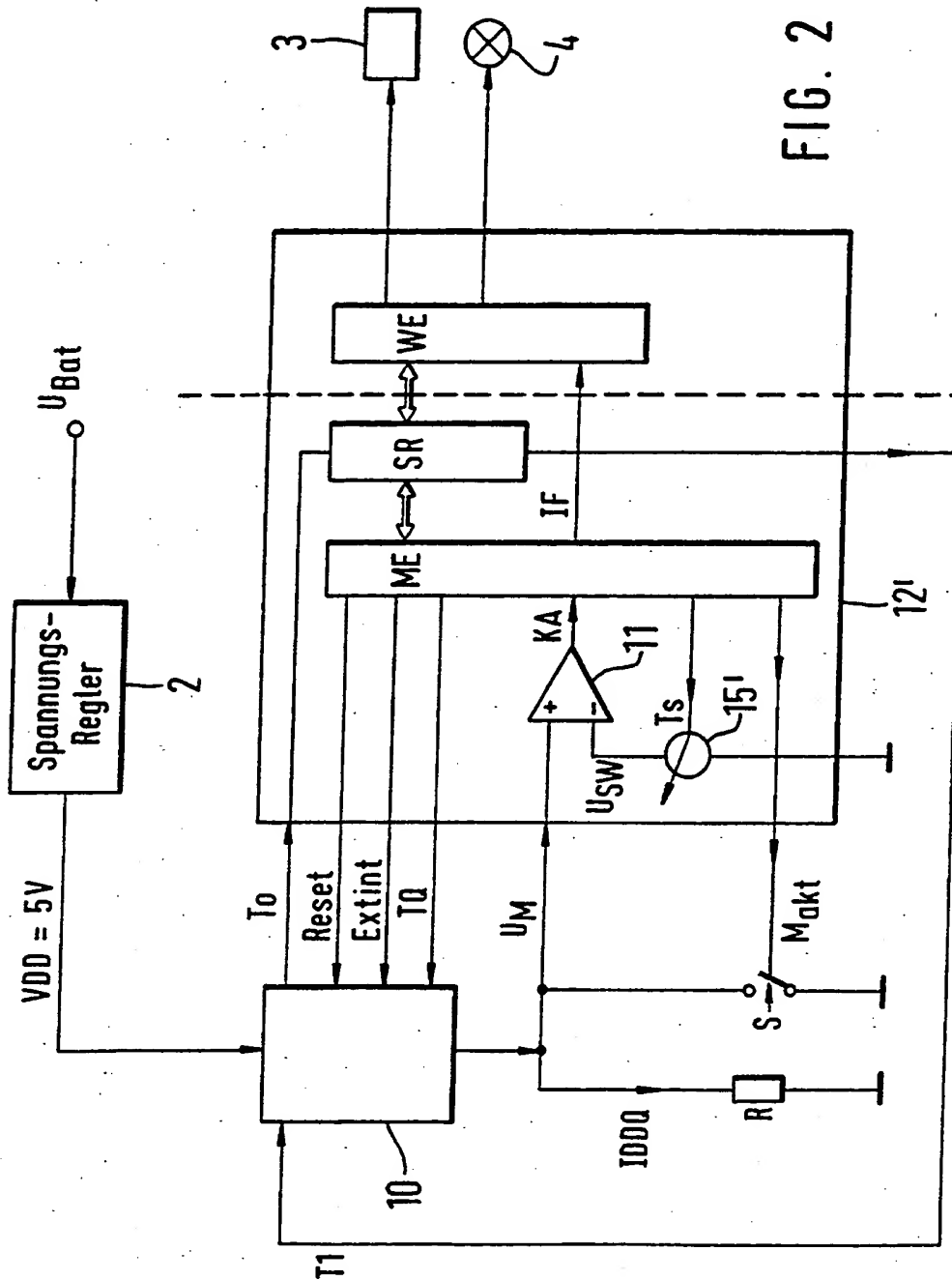
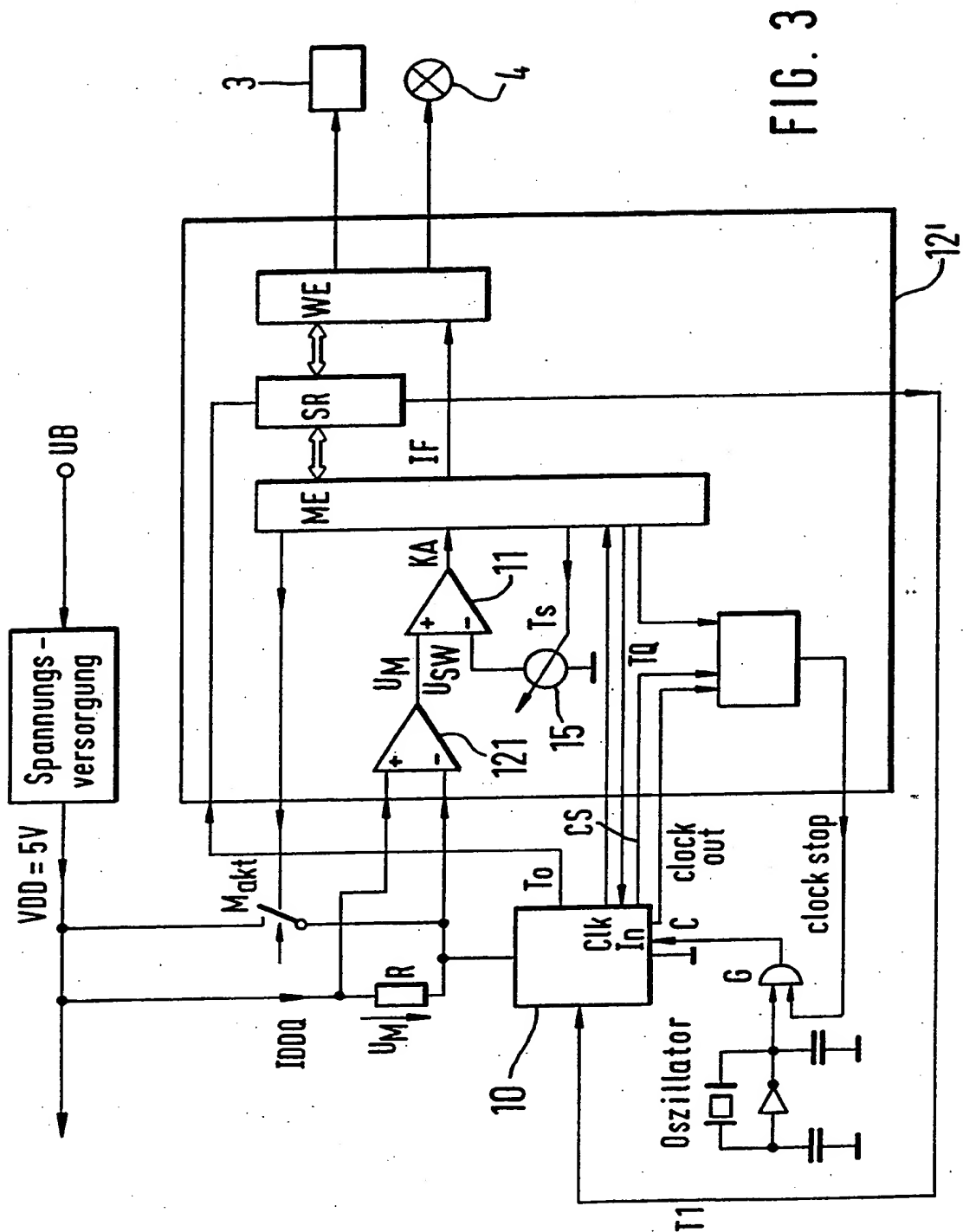


FIG. 2



315

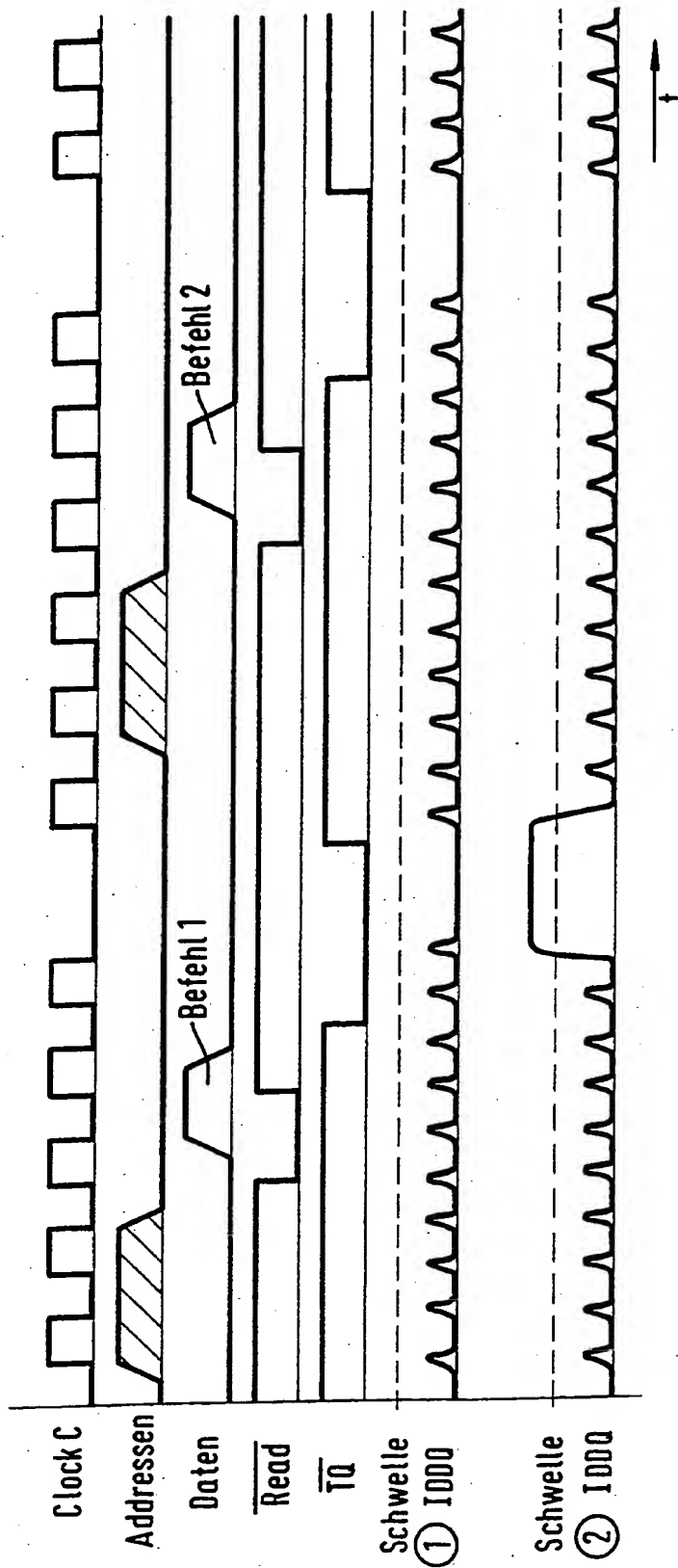


FIG. 4

FIG. 5a

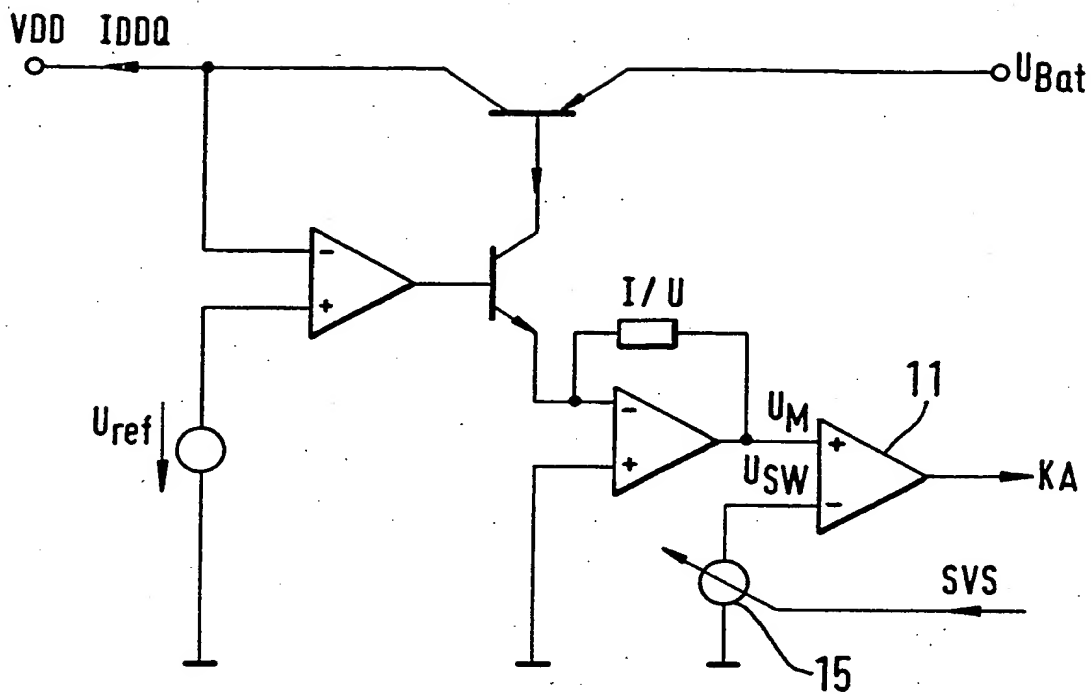


FIG. 5b

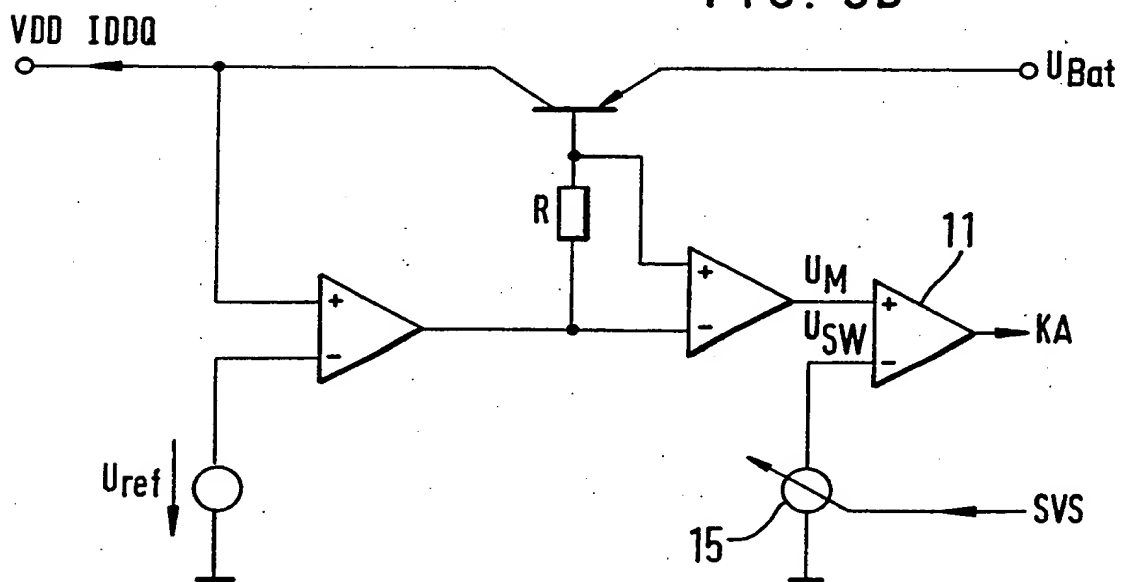


FIG. 5c

